Vi xử lý là một linh kiện điện tử được chế tạo từ các tranzito thu nhỏ tích hợp lên một vi mạch. Vi điều khiển là một máy tính được tích hợp lên 1 chip, nó thường được được sử dụng để điều khiển các thiết bị điện tử.

RISC: tập lệnh đơn giản, load/store; CISC: tập lệnh phức tạp, nhiều kiểu định địa chỉ;

**Chương 2: Vi xử lý 8086**-> hiểu được sơ đồ chân, chức năng chân; định nghĩa, kiến thức TQ; cấu trúc bên trong.

-Vi xử lý MIPS, ARM, X86 ->định luật MORE

-Bus dữ liệu là 16bit; bus địa chỉ là 20bit(16+4)->1MB; hai chế độ hoạt động: maximum và minimum; 40 chân chia làm 2 dãy; vi xử lý đầu tiên: 4004;

- thành phần trong CPU: Tập các thanh ghi -> control unit-> ALU

-Bus kết nối CPU và I/O: Databus; addressbus; controlbus;

-BIU: các thanh ghi đoạn: CS,DS,SS,ES; con trỏ lệnh IP; bộ điều khiển logic bus; bộ nhớ đệm cho mã lệnh(6byte); -> Nhiệm vụ: đưa ra địa chỉ; đọc mã lệnh từ bộ nhớ;đọc/ghi dữ liệu từ các cổng vào bộ nhớ;

-EU: khối điều khiển(CU); khối số học và logic(ALU); các thanh ghi đa năng(AX,BX,CX,DX,SP,BP,SI,DI); thanh ghi cơ(FR)->Nhiệm vụ: giải mã lệnh; điều khiển hoạt động của các bộ phận bên trong và ngoài CPU; thực hiện các phép tính số học và logic;

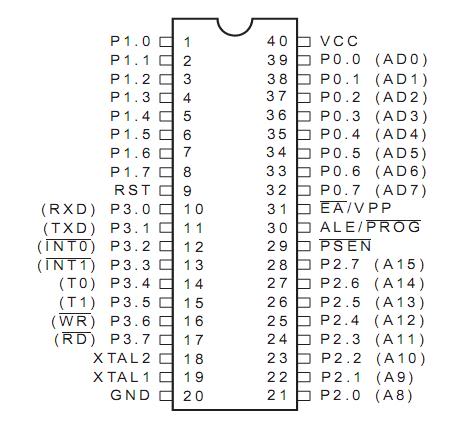
-Nhóm các thanh ghi: **thanh ghi dữ liệu**(AX gồm AH-AL tạo mã máy ngắn nhất sd trong tất cả phép xử lý toán học vào ra,BX chứa địa chỉ cơ sở của 1 bảng trong lệnh XLAT tính địa chỉ trong địa chỉ gián tiếp,CX: bộ đếm vòng lặp/bộ đếm các lệnh quay bit,DX: định địa chỉ gián tiếp chứa toán hạng kết quả trong phép nhân); **thanh ghi chỉ số và con trỏ**(SP,BP: cho phép truy xuất đến các phần tử đang ở trong ngăn xếp hiện hành,SI,DI:dung để truy xuất các phần tử trong đoạn dữ liệu và đoạn thêm; thanh ghi con trỏ IP chỉ đến lệnh tiếp theo chưa cập nhật và hàng đợi lệnh**); thanh ghi đoạn**(CS,DS,SS,ES); **thanh ghi cờ**->16bit(các cờ điều kiện: có 6 cờ, được lập hay xóa bởi EU; các cờ điều khiển: có 3 cờ, được sử dụng để điều khiển một số hoạt động của vi xử lý; cờ nhớ CF=1 khi có nhớ hoặc mượn từ MSB; cờ chẵn lẻ PF=1(chẵn)=0(lẻ); cờ nhớ phụ AF=1 khi có nhớ hoặc có mượn từ BCD thấp-cao; cờ zero ZF=1 khi kết quả =0; cờ dấu SF=1 khi kết quả âm; cờ tràn OF=1 khi có hiện tượng tràn; cờ bẫy TF=1 ngắt cứng cho CT thực hiện theo từng bước; cờ ngắt IF=1 cho phép ngắt; cờ định hướng DF=1 hướng tăng địa chỉ cho các lệnh xử lý chuỗi).

-Địa chỉ bộ nhớ : **địa chỉ vật lý**(bus địa chỉ rộng 20bit->truy cập được 2^20 ô nhớ 1byte;bộ nhớ tối đa có thể truy cập là 2^20 \* 8=1MB; địa chỉ vật lý là 1 con số 20bit hoặc 5 số HEXA) ; **địa chỉ logic**(bộ nhớ chia làm các khối 64KB gọi là segment; các khối này sắp xếp gối đầu với khoảng cách là 16byte->cần 1MB/16=2^16(16bit để đánh địa chỉ segment); 1 segment 64K=2^16(16bit địa chỉ offset để xác định 1 ô nhớ)) => mỗi ô nhớ có địa chỉ là 1 cặp(segment:offset):32bit; nếu địa chỉ là 1 cặp(segment:offset)gọi là địa chỉ xa, còn nếu địa chỉ là offset gọi là địa chỉ gần và segment là ngầm định=> **Địa chỉ vật lý=segment\*16+offset**;

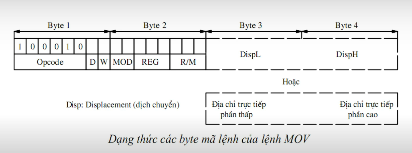
-Mô tả chức năng các chân: ALE cho phép chốt địa chỉ

A table with text and numbers

Description automatically generatedA white and black text on a white background

Description automatically generated



A close-up of a document

Description automatically generatedA close-up of a card

Description automatically generated

**Chương 3: Vi điều khiển 8051**->CPU 8bit;RAM 128bytes;ROM 4k bytes;Ngoại vi 4I/O 8bit P0-P3, 2timers 16bit, 1 cổng serial(UART);Lập trình ứng dụng => **là một họ vi điều khiển 8bit**; là vđk nền tảng; được sd trong các hệ thống điều khiển đơn giản; giá thấp; nhiều tài liệu hd=>làm đồng hồ, lịch, bảng quảng cáo, điều khiển xe robot, đo tốc độ, smartphone,đếm sp, nhiệt đ, độ ẩm.

-Lịch sử phát triển:1974-TMS1000 1bit; 1977-MCS-48 8bit; 1980-MCS51; 1985-ARM;1992-PIC;1996-AVR

-**Một số đặc trưng**: 1 thạch anh ngoại; **6 nguồn ngắt**(2 ngoài,3 trong,1 reset); 64Kbytes bộ nhớ chương trình ngoài(chỉ đọc bởi PSEN); 64Kbytes bộ nhớ dữ liệu ngoài(có thể đọc và ghi bởi chân RD,WR); chọn bộ nhớ chương trình EA(bộ nhớ trong hay ngoài)=>thực hiện các phép tính toán bằng ALU.

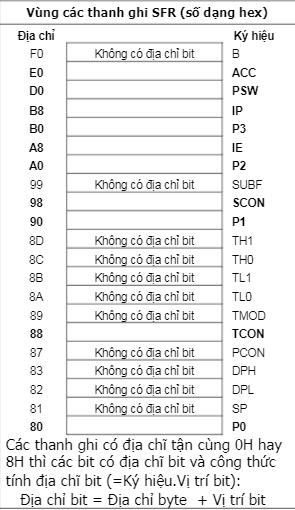
-**Port 0**:không có điện trở kéo lên; chức năng xuất/nhập; khi làm input phải set port 0 ở mức 1; chức năng địa chỉ/dữ liệu; nhận mã lệnh khi lập trình và mã kiểm tra// **Port 1**: có điện trở kéo lên; **chỉ có một chức năng** nhập/xuất; 89C52 dùng chân P1.0 và P1.1 cho timer 3; khi lập trình dung 8 bit địa chỉ thấp// **Port 2**: có điện trở kéo lên; chức năng nhập/xuất; chức năng địa chỉ: dùng làm 8 bit địa chỉ cao; khi lập trình dùng làm 8 bit địa chỉ cao hoặc tín hiệu điều khiển// **Port 3(chân 10-17):** có điện trở kéo lên; chức năng nhập/xuất; chức năng khác // **VCC**: chân số 40; chân cấp nguồn của chip; nguồn +5V // **GND**: chân số 20, được nối đất// XTAL1&XTAL2: chân 18 và 19; 2 chân cấp external clock; có 2 cách để cung cấp external clock:sd bộ tạo dao động thạch anh: thường chọn tần số 11,0592MHz; sd bộ tạo dao động TTL: chân XTAL2 không dùng**.=>cki=1/f; f=f0/12**; bước đầu đọc gtri Input cổng P1: **MOV P1,#0FFH** // **RST**: chân số 9 dùng để reset chip; là chân in và tích cực cao, tín hiệu xung cao phải ở mức cao ít nhất 2 chu kỳ máy; đưa chip về trạng thái mới khởi động, khi đưa tín hiệu VCC và chân RST, vđk sẽ reset tất cả mọi thanh ghi; đưa thanh ghi PC(đếm chương trình về vị trí 0); **tất cả =0000 còn SP=0007** // **EA(in):** chân thứ 31, tích cực mức thấp; khi chỉ sử dụng bộ nhớ trong thì nối VCC, được nối đất khi sd bộ nhớ ngoài; các chân PSEN/ALE chỉ được sử dụng khi EA nối đất; không có trong 8031 và 8032// **PSEN(out):** chân số 29, tích cực thấp; dùng để nối chân OE của ROM ngoài// **ALE(OUT)** chân số 30, tích cực cao; dung để giải mã địa chỉ dữ liệu cho port 0 bằng cash nối với chân G của IC lật 74LS373.

-**Bộ nhớ trong**: thiết kế theo cấu trúc Harvard bao gồm: **bộ nhớ chương trình ROM**: dùng để lưu trữ ctrinh cần thực thi đ/c 000h-002Fh dùng để chứa bảng vector ngắt, cố định chỉ bị thay đổi khi nạp lại; **bộ nhớ dữ liệu RAM**: để lưu các kết quả tạm thời trong quá trình tính toán, những giá trị tức thời, stack, vùng thanh ghi có chức năng đặc biệt có địa chỉ từ 80h đến FFh; *được chia làm 3 phần* : các bank thanh ghi 00h-1Fh gọi là thanh ghi đa mục đích; 20h-2Fh theo bit ->128bits; 30h-7Fh theo byte; các bank thanh ghi được chia thành 4 bank từ 0-3; các byte của mỗi bank được ký hiệu từ R0-R7; Bank mặc định là bank 0; các bit RS0 và RS1 của thanh ghi PSW được sử dụng để chọn bank khác(theo số nhị phân **RS1: RS0** 00 01…); **bank 1 dùng làm stack**;

-**Các thanh ghi có chức năng đặc biệt**: thanh ghi data A-đ/c E0H,B-F0h; thanh ghi control cho timer,serial ports, interrupt system; thanh ghi tích lũy; thanh ghi phụ; thanh ghi trạng thái chương trình; thanh ghi con trỏ stack SP; thanh ghi con trỏ dữ liệu; thanh ghi cổng vào ra; thanh ghi bộ đệm dữ liệu nối tiếp; thanh ghi định thời; các thanh ghi điều khiển:IP,IE,TMOD,TCON,SCON,PCON

-**VĐK có khả năng mở rộng** đến 64KB bộ nhớ chương trình và 64KB bộ nhớ dữ liệu; cổng 0 sẽ làm cổng đa hợp giữa phần thấp của bus địa chỉ và 8 bit thấp của dữ liệu; cổng 2 sẽ làm 8bit phần cao của bus địa chỉ; chân G trên IC 74 373 được kết nối với chân ALE trên 805; khi 8051 giao tiếp với bộ nhớ mở rộng **thì chu kỳ đọc được 2 byte**.

-Định địa chỉ là xđ vị trí nơi chứa dữ liệu cần thao tác(trong thanh ghi,RAM,bộ nhớ ngoài), chúng cho phép xác định rõ nguồn và đích dữ liệu; **các chế độ định địa chỉ**: **địa chỉ tức thời(**toán hạng nguồn là 1 hằng số có dấu # phía trước); **theo thanh ghi**(sử dụng các thanh ghi thao tác, Ri=0-7); **trực tiếp**(tên hoặc địa chỉ RAM thấp và SFR); **gián tiếp**(một thanh ghi được sử dụng như một con trỏ dữ liệu, có @ trước toán hạng, chứa trong thanh ghi con trỏ R0,R1,DPTR); **chỉ số**(dùng trong không gian ROM/RAM chương trình dài 64KB; thanh ghi DPTR/PC và *thanh ghi A* được dùng để tạo ra địa chỉ của phần dữ liệu được lưu trong bộ nhớ);

A table of numbers and letters

Description automatically generated with medium confidence

A table of numbers and letters

Description automatically generated